

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-326718

(43)Date of publication of application : 12.12.1995

(51)Int.Cl.

H01L 27/115  
H01L 21/8242  
H01L 27/108  
H01L 21/8247  
H01L 29/788  
H01L 29/792

(21)Application number : 06-121339

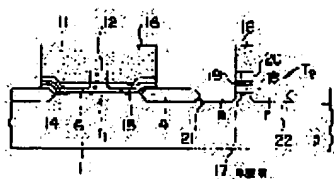
(71)Applicant : FUJITSU LTD

(22)Date of filing : 02.06.1994

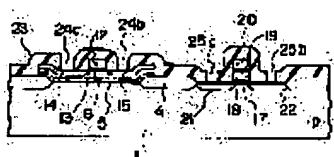
(72)Inventor : ITAKURA TORU

## (54) SEMICONDUCTOR MEMORY AND MANUFACTURING METHOD THEREOF

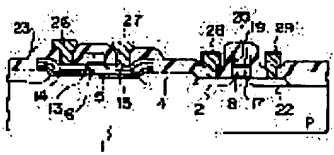
(a)



(b)



(c)



(57)Abstract:

**PURPOSE:** To cut down the film forming steps when peripheral circuit elements are formed by a method wherein a memory cell comprising source/drain regions is formed on the first semiconductor layer on both sides of a floating gate while a semiconductor element is formed on the second non-single crystal semiconductor layer.

**CONSTITUTION:** Polycrystalline semiconductor layer 6 and the first insulating layer 5 are patterned so as to form a barrier layer 17, a floating gate 18, an insulating layer 19 and a control gate 20 on the first semiconductor layer 1. Next, a memory cell T2 comprising source/drain regions 21, 22 is formed on the first semiconductor layer 1 on both sides of the floating gate 18. On the other hand, semiconductor element T1 is formed on the second non-single crystal semiconductor layer 6

in the region excluding the memory cell T2 region. Through these procedures, an element having the floating gate 18 and the control gate 20 as well as the peripheral circuit elements can be formed in the same step thereby enabling the film forming steps for the formation of the peripheral circuit elements to be cut down.

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-326718

(43)公開日 平成7年(1995)12月12日

(51)Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/115  
21/8242  
27/108

H 0 1 L 27/ 10

4 3 4

3 2 5 R

審査請求 未請求 請求項の数 8 O L (全 10 頁) 最終頁に続く

(21)出願番号 特願平6-121339

(22)出願日 平成6年(1994)6月2日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 板倉 徹

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

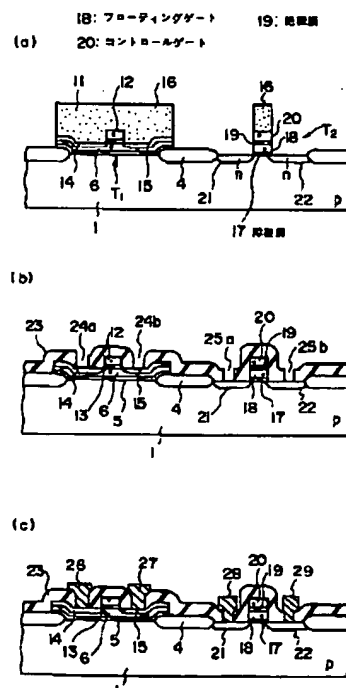
(74)代理人 弁理士 岡本 啓三

(54)【発明の名称】 半導体記憶装置及びその製造方法

(57)【要約】

【目的】揮発性メモリを備えた半導体記憶装置の製造方法に関し、DRAMとして作動可能なフローティングゲートとコントロールゲートを有する素子とその周辺回路の一部を同じ工程で形成すること。

【構成】第一の半導体層1の上に第一の絶縁層5、多結晶半導体層6を形成する工程と、前記多結晶半導体層6の上に第二の絶縁層9と導電層10を順に形成する工程と、前記導電層10と前記第二の絶縁層9をパターニングして周辺回路領域に半導体素子を形成する工程と、メモリセル領域2において前記導電層10、前記第二の絶縁層9、前記多結晶半導体層6及び前記第一の絶縁層5をパターニングして前記第一の半導体層1の上に順に障壁層17、フローティングゲート18、絶縁層19、コントロールゲート20を形成する工程と、前記第一の半導体層1に不純物を導入してソース/ドレイン領域21、22を形成する工程とを含む。



1

2

## 【特許請求の範囲】

【請求項1】メモリセル領域(2)の第一の半導体層(1)の上に形成された障壁層(17)、フローティングゲート(18)、絶縁層(19)及びコントロールゲート(20)と、該フローティングゲート(20)の両側の該第一の半導体層(1)に形成されたソース/ドレイン領域(21, 22)とからなるメモリセル( $T_2$ )と、

前記メモリセル領域(2)以外の領域において単結晶でない第二の半導体層(6)の上に形成された半導体素子( $T_1$ )を有することを特徴とする半導体記憶装置。

【請求項2】前記障壁層(17)は、前記第一の半導体層(1)のエネルギーバンド端に対するエネルギー障壁が酸化シリコンよりも小さな物質からなることを特徴とする請求項1記載の半導体記憶装置。

【請求項3】前記障壁層(17)のエネルギー障壁は0.5eV以上で1.0eV以下であることを特徴とする請求項2記載の半導体記憶装置。

【請求項4】第一導電型の第一の半導体層(1)の上に、第一の絶縁層(5)、多結晶半導体層(6)を形成する工程と、

前記多結晶半導体層(6)の上に、第二の絶縁層(9)と導電層(10)を順に形成する工程と、

少なくとも前記導電層(10)と前記第二の絶縁層(9)をパターニングして周辺回路領域(3)に半導体素子( $T_1$ )を形成する工程と、

メモリセル領域(2)において、前記導電層(10)、前記第二の絶縁層(9)、前記多結晶半導体層(6)及び前記第一の絶縁層(5)をパターニングすることにより、前記第一の半導体層(1)の上に順に障壁層(17)、フローティングゲート(18)、絶縁層(19)、コントロールゲート(20)を形成する工程と、前記フローティングゲート(19)の両側の前記第一の半導体層(1)に第二導電型不純物を導入してソース/ドレイン領域(21, 22)を形成する工程とを有することを特徴とする半導体記憶装置の製造方法。

【請求項5】第一導電型の第一の半導体層(31)の上に第一の絶縁層(35)を形成する工程と、周辺回路領域(33)のうち少なくとも半導体素子形成領域にある前記第一の絶縁層(35)をパターニングにより除去する工程と、

エピタキシャル成長により前記周辺回路領域(33)の前記第一の半導体層(31)の上に単結晶の第二の半導体層(36a)を形成するとともに、メモリセル形成領域(32)にある前記第一の絶縁層(35)の上に単結晶でない第三の半導体層(36b)を形成する工程と、前記第二の半導体層(36a)及び前記第三の半導体層(36b)の上に、第二の絶縁層(39)と導電層(40)を順に形成する工程と、

少なくとも前記導電層(40)と前記第二の絶縁層(3

9)をパターニングして前記周辺回路領域(33)の第二の半導体層(36a)に半導体素子( $t_1$ )を形成する工程と、

前記メモリセル領域(32)において、前記導電層(40)、前記第二の絶縁層(39)、前記第三の半導体層(36b)及び前記第一の絶縁層(35)をパターニングして、前記第一の半導体層(31)の上に順に障壁層(47)、フローティングゲート(48)、絶縁層(49)、コントロールゲート(50)を形成する工程と、

前記フローティングゲート(48)の両側の前記第一の半導体層(31)に第二導電型不純物を導入してソース/ドレイン領域(51, 52)を形成する工程とを有することを特徴とする半導体記憶装置の製造方法。

【請求項6】前記第二の半導体層(36a)と第三の半導体層(36b)は同時に形成されることを特徴とする請求項5記載の半導体記憶装置の製造方法。

【請求項7】前記障壁層(17, 47)は、前記第一の半導体層(1, 31)のエネルギーバンド端に対するエネルギー障壁が酸化シリコンよりも小さな物質からなることを特徴とする請求項4又は5記載の半導体記憶装置の製造方法。

【請求項8】前記障壁層(17, 47)のエネルギー障壁は0.5eV以上で1.0eV以下であることを特徴とする請求項7記載の半導体記憶装置の製造方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体記憶装置及びその製造方法に関し、より詳しくは、揮発性メモリを備えた半導体記憶装置及びその製造方法に関する。

【0002】

【従来の技術】半導体記憶装置としてダイナミックRAM(DRAM)があり、そのうち1つのMOSTランジスタを有するDRAMセルとして半導体基板の溝内に形成されたキャパシタを有するトレンチ型と、半導体基板の上に形成されたキャパシタを有するスタック型がある。それらのキャパシタはMOSTランジスタの一方のソース/ドレイン領域に接続されている。

【0003】一方、電子又は正孔を半永久的に蓄積する構造の半導体記憶装置としてEEPROM、フラッシュメモリがあり、それらのメモリセルは、半導体基板の上にフローティングゲートとコントロールゲートを備えた構造を有している。そのようなメモリセルでは、通常、チャネル領域(半導体層)とフローティングゲートの間に介在させる障壁層(絶縁層)の材料として酸化シリコン( $\text{SiO}_2$ )等の酸化膜が使用され、これによりフローティングゲートに蓄積されたキャリアが半永久的に保持される。

【0004】フローティングゲートに例えば電子を注入するには、その両側にあるソースとドレインの間に高電圧をかけることにより酸化膜を飛び越えるエネルギーを

3

もつホットエレクトロンを発生させてこれをフローティングゲートに注入させる方法や、或いはコントロールゲートに高電圧を印加してトンネル電子をフローティングゲートに注入させる方法が採られている。

【0005】

【発明が解決しようとする課題】そのようなコントロールゲート、フローティングゲートを備えた素子を揮発性メモリとして用いられれば、キャパシタを形成するために確保する領域を特別に設ける必要はないので理想的である。しかし、従来構造の素子のフローティングゲートに半永久的に記憶内容を保持するための素子によれば、ホットエレクトロンを注入する方法でもトンネル電子を注入する方法であっても例えば15Vの高電圧を印加する必要があるが、どちらもあまり大きな注入電子電流密度が得られないため、電子注入に数 $\mu$ sの時間が必要になる。

【0006】このため、EEPROMに使用されているフローティングゲート、コントロールゲートを備えた構造の素子をそのままDRAMセルとして使用することは難しい。また、そのような構造のメモリセルと周辺回路のMOSトランジスタとを全く別な工程で形成することを避ける必要がある。

【0007】本発明はこのような事情に鑑みてなされたものであって、フローティングゲートとコントロールゲートを有する素子と周辺回路の素子を同じ工程で形成できる半導体記憶装置及びその製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】上記した課題は、図3(c)に例示するように、メモリセル領域2の第一の半導体層1の上に形成された障壁層17、フローティングゲート18、絶縁層19及びコントロールゲート20と、該フローティングゲート20の両側の該第一の半導体層1に形成されたソース/ドレイン領域21、22とからなるメモリセルT<sub>1</sub>と、前記メモリセル領域2以外の領域において単結晶でない第二の半導体層6の上に形成された半導体素子T<sub>2</sub>を有することを特徴とする半導体記憶装置により解決する。

【0009】前記障壁層17は、前記第一の半導体層1のエネルギーバンド端に対するエネルギー障壁が酸化シリコンよりも小さな物質からなることを特徴とする半導体記憶装置により解決する。この場合、前記障壁層17のエネルギー障壁は0.5eV以上で1.0eV以下であることを特徴とする半導体記憶装置である。または、図1～図3に例示するように、第一導電型の第一の半導体層1の上に、第一の絶縁層5、多結晶半導体層6を形成する工程と、前記多結晶半導体層6の上に、第二の絶縁層9と導電層10を順に形成する工程と、少なくとも前記導電層10と前記第二の絶縁層9をパターンニングして周辺回路領域3に半導体素子T<sub>2</sub>を形成する工程と、メモ

4

リセル領域2において、前記導電層10、前記第二の絶縁層9、前記多結晶半導体層6及び前記第一の絶縁層5をパターンニングすることにより、前記第一の半導体層1の上に順に障壁層17、フローティングゲート18、絶縁層19、コントロールゲート20を形成する工程と、前記フローティングゲート19の両側の前記第一の半導体層1に第二導電型不純物を導入してソース/ドレイン領域21、22を形成する工程とを有することを特徴とする半導体記憶装置の製造方法により解決する。

【0010】または、図4～図6に例示するように、第一導電型の第一の半導体層31の上に第一の絶縁層35を形成する工程と、周辺回路領域33のうち少なくとも半導体素子形成領域にある前記第一の絶縁層35をパターンニングにより除去する工程と、エピタキシャル成長により前記周辺回路領域33の前記第一の半導体層31の上に単結晶の第二の半導体層36aを形成するとともに、メモリセル形成領域32にある前記第一の絶縁層35の上に単結晶でない第三の半導体層36bを形成する工程と、前記第二の半導体層36a及び前記第三の半導体層36bの上に、第二の絶縁層39と導電層40を順に形成する工程と、少なくとも前記導電層40と前記第二の絶縁層39をパターンニングして前記周辺回路領域33の第二の半導体層36aに半導体素子t<sub>1</sub>を形成する工程と、前記メモリセル領域32において、前記導電層40、前記第二の絶縁層39、前記第三の半導体層36b及び前記第一の絶縁層35をパターンニングして、前記第一の半導体層31の上に順に障壁層47、フローティングゲート48、絶縁層49、コントロールゲート50を形成する工程と、前記フローティングゲート48の両側の前記第一の半導体層31に第二導電型不純物を導入してソース/ドレイン領域51、52を形成する工程とを有することを特徴とする半導体記憶装置の製造方法により解決する。

【0011】前記第二の半導体層36aと第三の半導体層36bは同時に形成されることを特徴とする半導体記憶装置の製造方法により解決する。前記障壁層17、47は、前記第一の半導体層1、31のエネルギーバンド端に対するエネルギー障壁が酸化シリコンよりも小さな物質からなることを特徴とする半導体記憶装置の製造方法により解決する。この場合、前記障壁層17、47のエネルギー障壁は0.5eV以上で1.0eV以下であることを特徴とする半導体記憶装置の製造方法により解決する。

【0012】

【作 用】本発明によれば、フローティングゲートとコントロールゲートを有するメモリセルを形成する際に、フローティングゲートとコントロールゲートを構成する半導体層を周辺回路素子を構成する膜として使用するようにしている。従って、周辺回路素子を形成する際の成膜工程が少なくなる。

5

【0013】また、フローティングゲートを構成する半導体層の下に絶縁層を除去した後に、周辺回路領域においてフローティングゲートを構成する半導体層をエピタキシャル成長するようにしている。このため、フローティングゲートを構成する半導体層は周辺回路領域において単結晶化するので、ここに形成される半導体素子の素子特性が良くなり、メモリセルの高速動作を可能にする。

【0014】ところで、本発明によれば、チャネル領域となる半導体層のエネルギバンド端に対するエネルギ障壁が酸化シリコンよりも小さな材料によってメモリセルの障壁層を構成している。このため、低電圧によって短時間に多量のキャリアをフローティングゲートに注入することが可能になり、かつ、低電圧、短時間でキャリアをフローティングゲートから放出できる。

【0015】障壁層の材料として、半導体層のエネルギバンド端に対するエネルギ障壁高さを0.5eV以上で1.0eV以下の物質、例えばβ結晶炭化シリコンを使用すると、従来に比べてキャリアの注入、放出に必要な時間が大幅に短縮される。キャリアの保持時間は短くなるが、DRAMとして使用するため問題はない。

【0016】

【実施例】そこで、以下に本発明の実施例を図面に基いて説明する。

（第1実施例）図1～図3は、本発明の第1実施例を示す半導体記憶装置の製造工程を示す断面図である。

【0017】まず、図1(a)に示すように、p型のシリコン基板（半導体層）1のメモリセル形成領域2と周辺回路形成領域3において素子分離のためにフィールド酸化膜4を選択酸化法により形成する。次に、図1(b)に示すように、CVD法によりβ結晶炭化シリコン（β-SiC）層5を10nmの厚さに形成し、続いて第一の多結晶シリコン層6を160nmの厚さに形成する。β-SiC層5は、水素で希釈したジシラン（Si<sub>2</sub>H<sub>6</sub>）とアセチレン（C<sub>2</sub>H<sub>2</sub>）を用いて成長温度900℃、成長時間1分で形成した。第一の多結晶シリコン層6は、モノシラン（SiH<sub>4</sub>）を用いて600℃、0.4Torrの減圧CVDにより形成した。

【0018】その後、図1(c)に示すように、第一のレジスト7を多結晶シリコン層6の上に塗布し、これを露光、現像することにより周辺回路形成領域3に窓7aを形成し、その窓7aから多結晶シリコン層6を露出させる。そして、第一のレジスト7の窓7aを通して、加速エネルギー20keV、ドーズ量 $1 \times 10^{13} / \text{cm}^2$ の条件でホウ素（B<sup>+</sup>）を周辺回路形成領域3の多結晶シリコン層6にイオン注入した。

【0019】さらに、第一のレジスト7を除去した後に、図1(d)に示すように第二のレジスト8を塗布し、これを露光、現像してメモリセル形成領域2に窓8aを形成する。そして、窓8aを通して、加速エネルギー2

6

0keV、ドーズ量 $1 \times 10^{15} / \text{cm}^2$ の条件でリン（P<sup>+</sup>）をメモリセル形成領域2の多結晶シリコン層6にイオン注入した。ついで、第二のレジスト8を剥離した。

【0020】次に、図2(a)に示すように、CVDにより窒化シリコンを成長した後に、その表面を酸化して酸化窒化シリコン層（ON<sub>2</sub>O層）9を成長する。そのON<sub>2</sub>O層9の膜厚は、図3(c)において、コントロールゲート20とフローティングゲート18の間の容量が、フローティングゲート17とシリコン基板1の間の容量の2倍となる厚さ、例えば10nmとする。

【0021】続いて、ON<sub>2</sub>O層9の上に第二の多結晶シリコン層10をCVDにより160nmの厚さに形成する。その成長条件は、第一の多結晶シリコン層6の成長条件と同じにする。その後、加速エネルギー20keV、ドーズ量 $4 \times 10^{15} / \text{cm}^2$ の条件で燐（P<sup>+</sup>）を第二の多結晶シリコン層10にイオン注入する。

【0022】次に、図2(b)に示すように、第三のレジスト11を第二の多結晶シリコン層10の上に塗布してこれを露光、現像し、これにより周辺回路形成領域2内のトランジスタのソース/ドレイン領域の第二の多結晶シリコン層10を露出する。この場合、第三のレジスト11によりそのトランジスタのゲート電極を形成しようとする部分も覆う。

【0023】続いて、図2(c)に示すように、第三のレジスト11をマスクにして第二の多結晶シリコン層10及びON<sub>2</sub>O層9をエッチングし、トランジスタ形成領域に第二の多結晶シリコン層10からなるゲート電極12と、ON<sub>2</sub>O層9からなるゲート絶縁膜13を形成する。その後、第三のレジスト11をマスクにして第一の多結晶シリコン層6に砒素（As<sup>+</sup>）をイオン注入する。そのイオン注入の際の加速エネルギーは30keV、ドーズ量は $5 \times 10^{15} / \text{cm}^2$ とする。このイオン注入された砒素を活性化することにより、ゲート電極12の両側の第一の多結晶シリコン層6にソース層14、ドレイン層15を形成する。これにより周辺回路形成領域2にnMOSトランジスタT<sub>1</sub>が形成された。このnMOSトランジスタT<sub>1</sub>のゲート電極12の直下の第一の多結晶シリコン層6の表層がチャネル領域となる。

【0024】次に、第三のレジスト11を剥離した後に、図3(a)に示すように、さらに第四のレジスト16を塗布し、これを露光、現像して第四のレジスト16をパターニングする。その第四のレジスト16のパターンは、周辺回路形成領域2のnMOSトランジスタT<sub>1</sub>を覆うとともに、その周辺を露出する。さらに、その第四のレジスト16によってメモリセル形成領域3に形成されるトランジスタのゲート電極形成領域を覆う。

【0025】そして、現像により第四のレジスト16が除去された領域の第二の多結晶シリコン層10からβ-SiC層5までの各層を例えば反応性イオンエッチング

7

(RIE)により除去する。これによりメモリセル形成領域3では、 $\beta$ -SiC層5からなる障壁層17、第一の多結晶シリコン層6からなるフローティングゲート18、ONO膜9からなる絶縁層19、第二の多結晶シリコン10からなるコントロールゲート20が形成され、しかも、それらの周辺にはシリコン基板1の表面が露出する。さらに、周辺回路形成領域2ではnMOSトランジスタ $T_1$ の少なくとも周辺のフィールド酸化膜2を露出させて素子分離を行う。

【0026】このように $\beta$ -SiC層5までのパターンニングを終えた後に、第四のレジスト16及びフィールド酸化膜2をマスクにしてフローティングゲート18の両側のシリコン基板1に砒素をイオン注入する。そのイオン注入は、加速エネルギーを30keV、ドーズ量を $5 \times 10^{15}/\text{cm}^2$ として行い、砒素を活性化することによりフローティングゲート18の両側にはソース層21、ドレイン層22が形成される。以上のフローティングゲート18、コントロールゲート20、ソース/ドレイン層21、22等によってDRAMセル $T_1$ が形成される。このトランジスタ $T_1$ ではフローティングゲート18直下のシリコン基板1の表層がチャネル領域となる。

【0027】なお、イオン注入後に第四のレジスト16は除去される。次に、図3(b)に示すように、全体にCVDにより $\text{SiO}_2$ よりなる層間絶縁膜23を形成した後に、これをパターンニングしてnMOSトランジスタ $T_1$ のソース/ドレイン層14、15の上とDRAMセル $T_1$ のソース/ドレイン層21、22の上に、それぞれコンタクトホール24a、24b、25a、25bを形成する。

【0028】この後に、全体にアルミニウムをスパッタにより形成してからこれをフォトリソグラフィによりパターンニングして図3(c)に示すようにソース/ドレイン層14、15、21、22に接続される電極26~29を形成する。以上のような工程により形成されたDRAMセル $T_1$ において、シリコン基板1とフローティングゲート18の間に $\beta$ -SiCよりなる障壁層17が形成されている。この $\beta$ -SiCよりなる障壁層17は、 $\text{SiO}_2$ により形成されたそれに比べてシリコン基板1の伝導帯電子に対するエネルギー障壁が小さくなる。

【0029】従って、ソース・ドレイン間に電圧を印加してホットエレクトロンをフローティングゲート18に注入するか、コントロールゲート20に電圧を印加してトンネル電子をフローティングゲート18に注入すると、EEPROMに使用される素子に比べて低電圧で多量の電子を注入でき、しかも注入に必要な時間を小さくし、さらに、フローティングゲート18に注入された電子を外部に抜け易くして消去時間を短くできる。

【0030】また、上記した実施例では、コントロールゲート20とフローティングゲート18の間の容量が、フローティングゲート18とシリコン基板1(チャネル

8

領域)の間の容量の約2倍となるようにしているので、コントロールゲート20とチャネル領域の間に印加された電圧の2/3がチャネル領域とフローティングゲート20の間にかかる。

【0031】そして、コントロールゲート20とシリコン基板1(チャネル領域)の間に3Vの電圧を印加してフローティングゲート18に電子を注入したところ、10ns以内の時間で注入でき、しかも、注入後のコントロールゲート20での閾値電圧は、障壁層2として $\text{SiO}_2$ を用いた場合よりも0.5V高くなり、電子の注入量が増えたことがわかった。また、電子が注入されたフローティングゲート18からの電子放出時間も10ns以内で行うことができた。

【0032】ところで、周辺回路形成領域2におけるnMOSトランジスタ $T_1$ を形成する場合に、ゲート電極12の材料としてコントロールゲート20を構成する第二の多結晶シリコン膜10を使用し、またそのゲート絶縁膜13の材料としてコントロールゲート20の下のONO膜9を用いているので、nMOSトランジスタ $T_1$ を構成する膜の成長工程は省略される。

【0033】従って、nMOSトランジスタ $T_1$ の製造工程は単純化される。

(第2実施例)図4~図6は、本発明の第2実施例を示す半導体記憶装置の製造工程を示す断面図である。まず、図4(a)に示すように、p型のシリコン基板(半導体層)31のメモリセル形成領域32と周辺回路形成領域33において素子分離のためにフィールド酸化膜34を選択酸化法により形成する。

【0034】次に、図4(b)に示すように、CVD法により $\beta$ 結晶炭化シリコン( $\beta$ -SiC)層35を10nmの厚さに形成する。 $\beta$ -SiC層5は、水素で希釈したジシラン( $\text{Si}_2\text{H}_6$ )とアセチレン( $\text{C}_2\text{H}_2$ )を用いて成長温度900℃、成長時間1分で形成した。この後に、図4(b)に示すように、 $\beta$ -SiC層5をフォトリソグラフィによりパターンニングして周辺回路33から除去する。

【0035】次に、図4(c)に示すように、CVDによりシリコン基板31の上に単結晶のシリコン層36aを選択エピタキシャル成長するとともに、フィールド酸化膜34及び $\beta$ -SiC層32の上に多結晶のシリコン層36bを成長する。シリコン層36a、36bを成長する際には、成長ガスとして $\text{SiH}_4$ を用い、成長温度を800℃、成長雰囲気圧を0.4Torrとし、その膜厚を160nmとする。

【0036】続いて、第一のレジスト37をシリコン層36a、36bの上に塗布し、これを露光、現像することにより周辺回路形成領域33に窓37aを形成し、その窓37aから多結晶シリコン層36bを露出させる。そして、第一のレジスト37の窓37aを通して、加速エネルギー20keV、ドーズ量 $1 \times 10^{13}/\text{cm}^2$ の条件でホウ素( $\text{B}^+$ )を周辺回路形成領域33の単結晶の多結

9

晶シリコン層36aにイオン注入した。

【0037】さらに、第一のレジスト37を除去した後、図4(d)に示すように第二のレジスト38を塗布し、これを露光、現像してメモリセル形成領域32に窓38aを形成する。そして、窓38aを通して、加速エネルギー20keV、ドーズ量 $1 \times 10^{15}/\text{cm}^2$ の条件でリン(P<sup>+</sup>)をメモリセル形成領域32のシリコン層36bにイオン注入した。ついで、第二のレジスト38を剥離した。

【0038】次に、図5(a)に示すように、CVDにより窒化シリコンを成長した後に、その表面を酸化して酸化シリコン層(ONO層)39を成長する。そのONO層39の膜厚は、図6(c)において、コントロールゲート50とフローティングゲート48の間の容量が、フローティングゲート48とシリコン基板31の間の容量の2倍となる厚さ、例えば10nmとする。

【0039】続いて、ONO層39の上に多結晶シリコン層40をCVDにより160nmの厚さに形成する。その成長条件は、成長ガスとしてSiH<sub>4</sub>を用い、成長温度を600℃、成長雰囲気圧を0.4Torrとし、その膜厚を160nmとする。その後、加速エネルギー20keV、ドーズ量 $4 \times 10^{15}/\text{cm}^2$ の条件で燐(P<sup>+</sup>)を多結晶シリコン層40にイオン注入する。

【0040】次に、図5(b)に示すように、第三のレジスト41を多結晶シリコン層40の上に塗布してこれを露光、現像し、周辺回路形成領域32のトランジスタのソース/ドレイン領域の多結晶シリコン層40を露出するパターンを形成する。この場合、第三のレジスト41によりそのトランジスタのゲート電極形成領域が覆われている。

【0041】続いて、図5(c)に示すように、第三のレジスト41をマスクにして第二の多結晶シリコン層40及びONO層39をエッチングし、トランジスタ形成領域に第二の多結晶シリコン層40からなるゲート電極42と、ONO層39からなるゲート絶縁膜43を形成する。その後、第三のレジスト11をマスクにして単結晶のシリコン層36aに砒素(As<sup>+</sup>)をイオン注入する。そのイオン注入の際の加速エネルギーは30keV、ドーズ量は $5 \times 10^{15}/\text{cm}^2$ とする。このイオン注入された砒素を活性化することにより、ゲート電極42の両側の単結晶シリコン層36aにソース層44、ドレイン層45を形成する。これにより周辺回路形成領域2にnMOSTランジスタt<sub>1</sub>が形成された。このnMOSTランジスタt<sub>1</sub>のゲート電極42の直下の単結晶のシリコン層36aの表層がチャネル領域となる。

【0042】次に、第三のレジスト41を剥離した後に、図6(a)に示すように、さらに第四のレジスト46を塗布し、これを露光、現像して第四のレジスト46をパターニングする。その第四のレジスト46のパターンは、周辺回路形成領域32のnMOSTランジスタt<sub>1</sub>

10

を覆いかつその周辺を露出する。さらに、その第四のレジスト46によりメモリセル形成領域33に形成されるトランジスタのゲート電極形成領域を覆うようにする。

【0043】そして、現像により第四のレジスト46が除去された領域の多結晶シリコン層40からβ-SiC層35までの各層を例えば反応性イオンエッチング(RIE)により除去する。これによりメモリセル形成領域43では、β-SiC層35からなる障壁層47、多結晶のシリコン層36bからなるフローティングゲート48、ONO膜39からなる絶縁層49、多結晶シリコン40からなるコントロールゲート50が形成され、しかも、それらの周辺にはシリコン基板31の表面が露出する。さらに、周辺回路形成領域32ではnMOSTランジスタt<sub>1</sub>の少なくとも周辺のフィールド酸化膜32を露出させて素子分離を行う。

【0044】このようにβ-SiC層35までのパターニングを終えた後に、第四のレジスト46及びフィールド酸化膜32をマスクにしてフローティングゲート48の両側のシリコン基板31に砒素をイオン注入する。そのイオン注入は、加速エネルギーを30keV、ドーズ量を $5 \times 10^{15}/\text{cm}^2$ として行い、砒素を活性化することによりフローティングゲート48の両側にはソース層51、ドレイン層52が形成される。以上のフローティングゲート48、コントロールゲート50、ソース/ドレイン層51、52等によってDRAMセルt<sub>2</sub>が形成される。このトランジスタt<sub>2</sub>ではフローティングゲート48直下のシリコン基板31の表層がチャネル領域となる。

【0045】なお、イオン注入後に第四のレジスト46は除去される。次に、図6(b)に示すように、全体にCVDによりSiO<sub>2</sub>よりなる層間絶縁膜53を形成した後に、これをパターニングしてnMOSTランジスタt<sub>1</sub>のソース/ドレイン層44、45の上と、DRAMセルt<sub>2</sub>のソース/ドレイン層51、52の上にそれぞれコンタクトホール54a、54b、55a、55bを形成する。

【0046】この後に、全体にアルミニウムをスパッタにより形成してからこれをフォトリソグラフィによりパターニングして図6(c)に示すようにソース/ドレイン層44、45、51、52に接続される電極56~59を形成する。以上のような工程により形成されたDRAMセルt<sub>2</sub>において、シリコン基板31とフローティングゲート48の間にβ-SiCよりなる障壁層47が形成されている。このβ-SiCよりなる障壁層47は、SiO<sub>2</sub>により形成されたそれに比べてシリコン基板31の伝導帯電子に対するエネルギー障壁が小さくなる。

【0047】従って、ソース・ドレイン間に電圧を印加してホットエレクトロンをフローティングゲート48に注入するか、コントロールゲート50に電圧を印加してトンネル電子をフローティングゲート48に注入する

と、EEPROMに使用される素子に比べて低電圧でより多量の電子を注入でき、しかも注入に必要な時間を小さくし、さらに、フローティングゲート48に注入された電子を外部に抜け易くして消去時間を短くできる。

【0048】また、上記した実施例では、コントロールゲート50とフローティングゲート48の間の容量が、フローティングゲート48とシリコン基板31（チャネル領域）の間の容量の約2倍となるようにしているので、コントロールゲート50とチャネル領域の間に印加された電圧の2/3がチャネル領域とフローティングゲート48の間にかかる。

【0049】そして、コントロールゲート50とシリコン基板31（チャネル領域）の間に3Vの電圧を印加してフローティングゲート48に電子を注入したところ、10ns以内の時間で注入でき、しかも、注入後のコントロールゲート50での閾値電圧は、障壁層47としてSiO<sub>2</sub>を用いた場合よりも0.5V高くなり、電子の注入量が増えたことがわかった。また、電子が注入されたフローティングゲート48からの電子放出消去時間も10ns以内で行うことができた。

【0050】ところで、周辺回路形成領域32におけるnMOSトランジスタt<sub>1</sub>を形成する場合に、DRAMセルt<sub>2</sub>に使用する膜の一部を利用しているので、nMOSトランジスタt<sub>1</sub>を構成する膜の形成工程は省略でき、その製造工程は単純化される。しかも、フローティングゲート48を構成するシリコン層36bを形成する場合に、エピタキシャル成長する成長条件としているので、β-SiC層35が除去された周辺回路形成領域33のシリコン基板31の表面には単結晶のシリコン層36aが同時に形成されるので、第1実施例に比べて周辺回路形成領域33のnMOSトランジスタt<sub>1</sub>のチャネル領域の結晶性が向上し、トランジスタの動作がより高速になり、トランジスタ特性が良くなる。これにより、上記工程は高速動作が必要なメモリの作製に適している。

（その他の実施例）上記した実施例では障壁層17、47の材料としてβ-SiCを使用しているが、キャリアが電子の場合にはシリコン基板（半導体層）の伝導帯に対するエネルギー障壁の高さが0.5eV以上で1.01eV以下の他の物質を用いてもよく、β-SiCの他の物質として例えばシリコンと炭素と窒素の混合比を適宜選択した化合物を使用してもよい。少なくとも、チャネル領域となる半導体層の伝導帯電子に対するエネルギー障壁が、従来使用されていた酸化シリコンよりも小さければフローティングゲート18、48からの電子が注入され易くなり、かつ抜け易くなる。

【0051】このような素子によれば、キャリアを蓄積する領域がトランジスタの形成領域内に収まるので、DRAMセルの面積が小さくなって高密度化が図れる。また、上記した実施例ではフローティングゲートに電子を注入する構造の素子について説明したが、正孔を注入

する構造を形成する場合に、フローティングゲートとチャネル領域との間のエネルギー障壁が小さくなるようにしてもよい。

【0052】さらに、上記した実施例では、周辺回路形成領域にはnMOSトランジスタを形成しているがp型MOSトランジスタであってもよいし、パイポーラトランジスタその他の半導体素子を形成してもよい。なお、上記した実施例では、フローティングゲートとコントロールゲートの間の絶縁層としてONO層を使用しているが、シリコン酸化膜、周辺回路領域のMOSトランジスタの特性を考慮してその他の絶縁層で形成してもよい。

【0053】

【発明の効果】以上述べたように本発明によれば、フローティングゲートとコントロールゲートを有するメモリセルを形成する際に、フローティングゲートとコントロールゲートを構成する半導体層を周辺回路素子を構成する膜として使用するようにしているので、周辺回路素子を形成する際の成膜工程が少なくできる。

【0054】また、フローティングゲートを構成する半導体層の下の絶縁層を除去した後に、周辺回路領域においてフローティングゲートを構成する半導体層をエピタキシャル成長するようにしているので、フローティングゲートを構成する半導体層は周辺回路領域において単結晶化し、ここに形成される半導体素子の素子特性が良くなり、メモリセルの高速動作を可能にする。

【0055】別の本発明によれば、チャネル領域となる半導体層のエネルギーバンド端に対するエネルギー障壁が酸化シリコンよりも小さな材料によってメモリセルの障壁層を構成しているため、低電圧によって多量のキャリアをフローティングゲートに注入することが可能になり、しかもそのキャリアの消去時間を短くできる。障壁層の材料として、半導体層のエネルギーバンド端に対するエネルギー障壁高さを0.5eV以上で1.0eV以下の物質、例えばβ結晶炭化シリコンを使用しているため、従来に比べてキャリア注入に必要な時間を大幅に短縮でき、しかも消去時間も短くなって揮発性メモリとして十分に機能させることができる。

【図面の簡単な説明】

【図1】本発明の第1実施例の製造工程を示す断面図（その1）である。

【図2】本発明の第1実施例の製造工程を示す断面図（その2）である。

【図3】本発明の第1実施例の製造工程を示す断面図（その3）である。

【図4】本発明の第2実施例の製造工程を示す断面図（その1）である。

【図5】本発明の第2実施例の製造工程を示す断面図（その2）である。

【図6】本発明の第2実施例の製造工程を示す断面図



13

(その3)である。

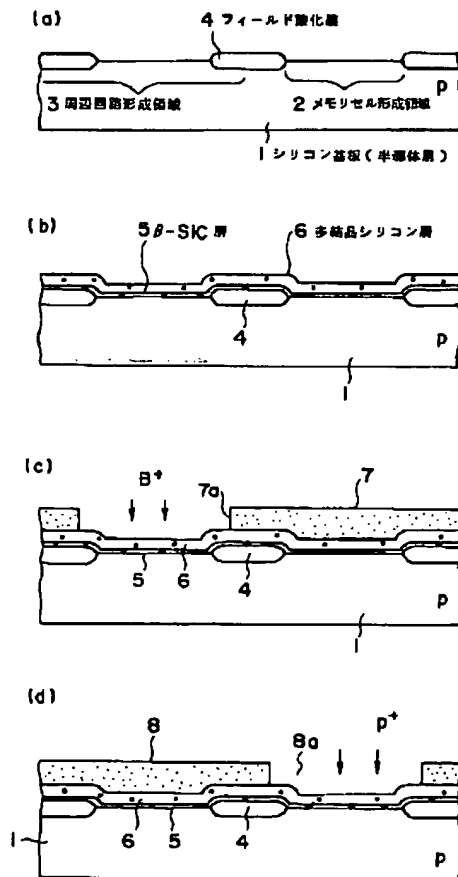
【符号の説明】

- 1 シリコン基板 (半導体層)
- 2 メモリセル形成領域
- 3 周辺回路形成領域
- 5  $\beta$ -SiC 層 (絶縁層)
- 6 多結晶シリコン層 (多結晶半導体層)
- 9 ONO層 (絶縁層)
- 10 多結晶シリコン層 (導電層)
- 12 ゲート電極
- 13 ゲート絶縁膜
- 14 ソース層
- 15 ドレイン層
- 17 障壁層
- 18 フローティングゲート
- 19 絶縁層
- 20 コントロールゲート
- 21 ソース層
- 22 ドレイン層

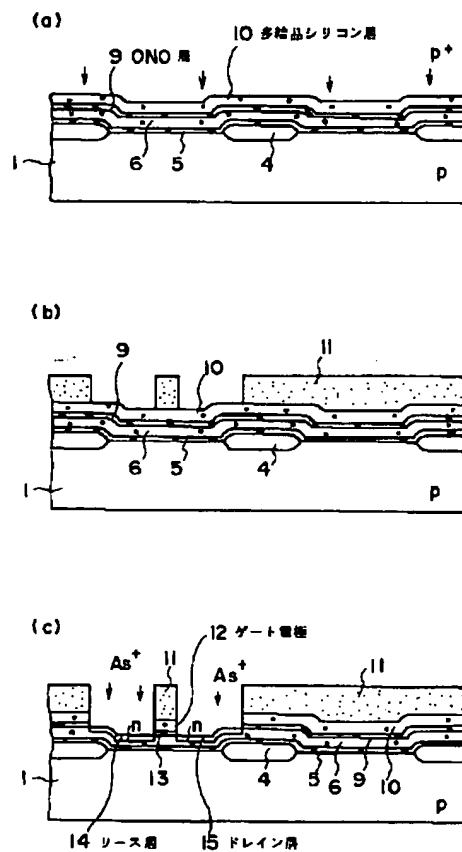
14

- 31 シリコン基板 (半導体層)
- 32 メモリセル形成領域
- 33 周辺回路形成領域
- 35  $\beta$ -SiC 層 (絶縁層)
- 36 a シリコン層 (単結晶の半導体層)
- 36 b シリコン層 (単結晶でない半導体層)
- 39 ONO層 (絶縁層)
- 40 多結晶シリコン層 (導電層)
- 42 ゲート電極
- 10 43 ゲート絶縁膜
- 44 ソース層
- 45 ドレイン層
- 47 障壁層
- 48 フローティングゲート
- 49 絶縁層
- 50 コントロールゲート
- 51 ソース層
- 52 ドレイン層

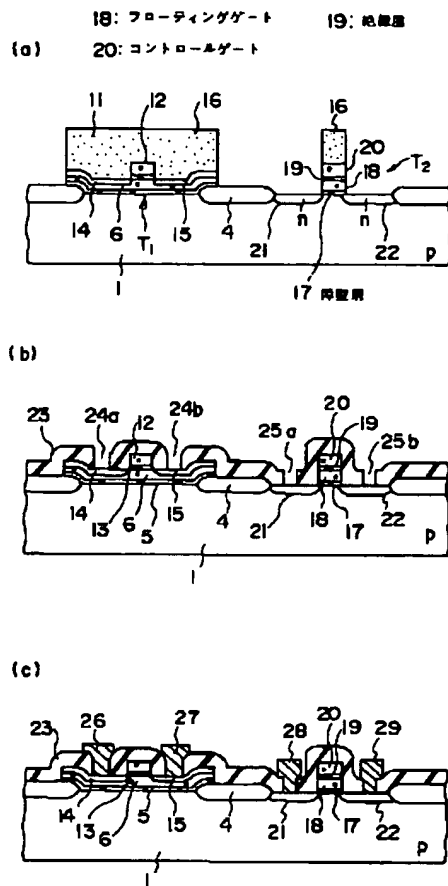
【図1】



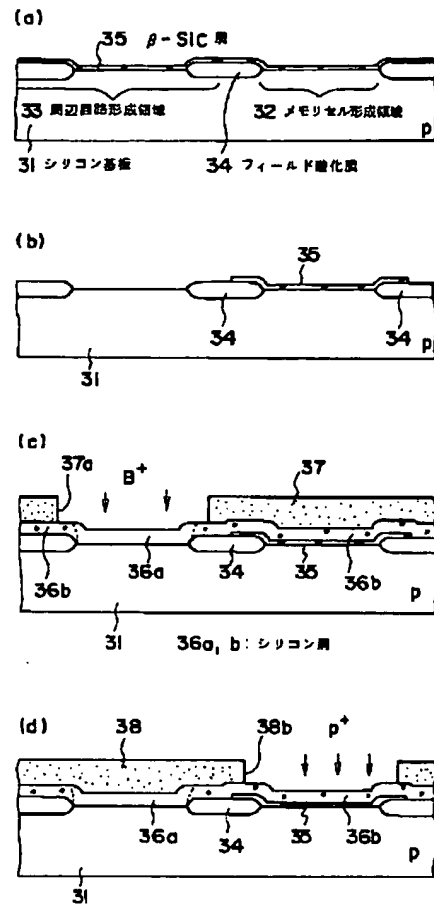
【図2】



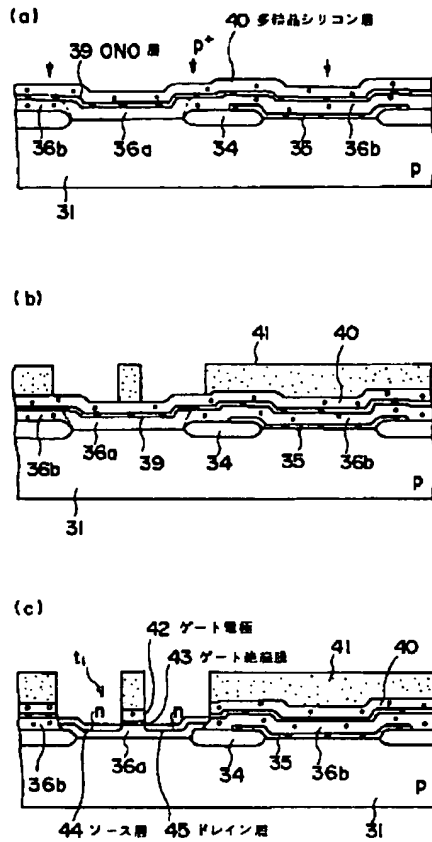
【図3】



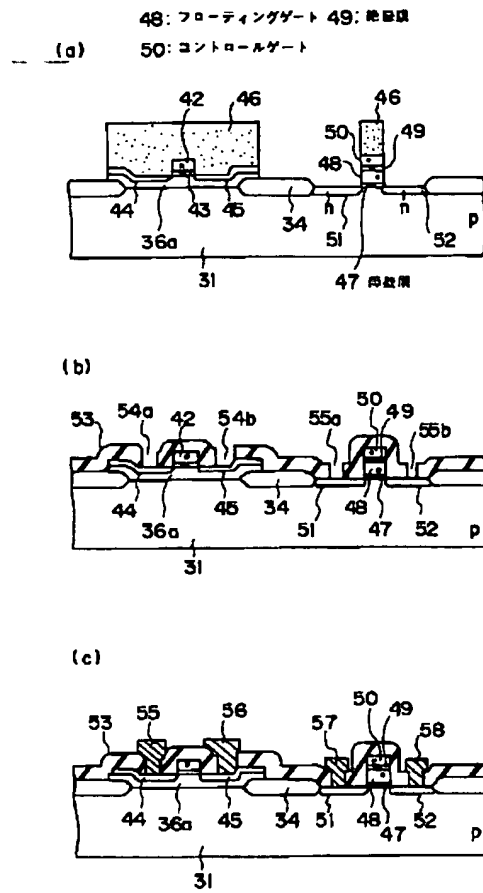
【図4】



【図5】



【図6】



フロントページの続き

(51) Int. Cl.<sup>6</sup>  
H01L 21/8247  
29/788  
29/792

識別記号 片内整理番号

F I

技術表示箇所

H01L 29/78

371